

# ハイブリッドセンサとパッケージング技術の研究開発

企画管理部 PJ推進担当 小幡勤  
富山県立大学 電子情報工学科 松田敏弘

## 1 緒言

携帯電話、腕時計などのモバイル機器へセンサが搭載されるようになって久しい。現在、センサだけでなく処理回路を一体として小型化しようというニーズがあり、2つの方式がとられている。一つは集積型センサで、センサと集積回路を一体化したものである。しかしながら、この場合センサと集積回路の作製工程が相容れないところがあり、歩留まりやコスト、汎用性に制限がある。2つ目はハイブリッド型で、センサと集積回路チップを別々に作り、パッケージングの段階で一体化する方法である。この場合、作製工程の問題もなく、一つのセンサチップに対して、アプリケーションに応じた様々な集積回路を選択できるため汎用性も高いものとなる。しかしながら、小型化という点では若干集積型に劣る面もあり改善が求められている。

本研究では、後者のハイブリッド型のセンサを実現するためにそのパッケージング技術を開発することを目的としている。

## 2 3次元配線構造

低容積なパッケージングを実現するために、まずセンサと集積回路の積層が必要である。そこで、2つの素子のサイズの異なること、センサの強度に対する配慮から、新たに緩衝基板を挿入することにした。この緩衝基板はインターポーザーと呼ばれ、集積回路の多層化によく利用されているもので、その基板には表と裏の電氣的導通を実現するスルーホールが形成されている。これによって表と裏に貼り付けられた素子が電氣的に接続することが可能になる。本研究ではパッケージング技術としてこのインターポーザーを利用し、センサと集積回路を接続することを試みている。一般的に物理量センサは、温度変化等の外乱によって発生する熱歪みなどがそのままセンサ出力として現れるため、インターポーザーのようなセンサと直接接触する材料は、シリコンと同じ膨張係数をもつことが望ましい。このことからインターポーザーとして利用さ

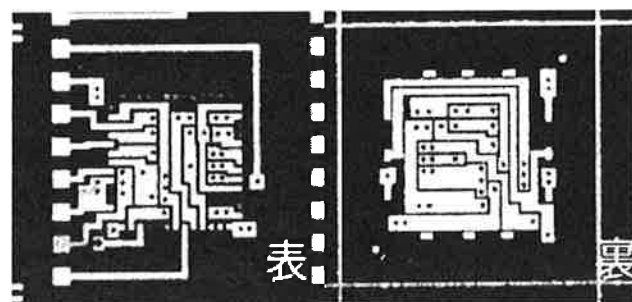


図1 試作したインターポーザー

れる材料は、シリコンがベストな選択であるといえる。しかしながら、シリコンは脆性材料であるため一般的な機械加工は難しい。ここでは、MEMS加工技術を用いてシリコンを用いた3次元配線基板の試作をおこなった。

## 3 インターポーザーの試作

外形4mm角のインターポーザーはICPドライエッチング装置でスルーホールを形成した後、CrとAu薄膜をスパッタ成膜される。その後、フォトリソグラフィ技術によって表と裏に回路配線部分のスパッタ膜が露出するようにパターンを形成する。次にフォトレジストから露出した部分にNiとAuの電気メッキを施した後、レジストを剥離する。レジストを剥離した部分のスパッタ膜をエッチングより除去すると図1のような3次元配線を有するインターポーザーが完成する。試作したインターポーザーの表と裏は電氣的に導通し抵抗は1Ω以下である。しかし、スパッタ膜を除去する際、Niメッキ膜がエッチングされてしまったことが原因で、一部メッキ膜が剥離したり、スパッタ膜が除去できない部分もあった。対策として、スパッタ膜をTiなどに変更することで改善されると思われる。

## 4 まとめ

汎用性の高い小型パッケージング技術を実現するためにシリコンインターポーザーを開発した。今後、実際に素子を実装し、センサ特性を評価する予定である。